

p/2041-47 #2

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 3月31日

出 願 番 号

Application Number:

平成11年特許願第093099号

出 願 人

Applicant (s):

日本電気株式会社

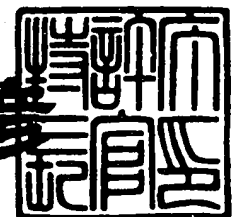
JC564 U.S. PTO  
09/540289  
03/31/00

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年 1月14日

特許庁長官  
Commissioner,  
Patent Office

近藤 隆彦



【書類名】 特許願

【整理番号】 33509467

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 7/00

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 揚張 充博

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 008279

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9115699

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マルチレート送信装置

【特許請求の範囲】

【請求項 1】

外部から与えられる変調動作モードにより変調方式、符号化率を可変させ、外部から入力される単一のクロックで送信動作を可能とするマルチレート送信装置であって、

変調方式に応じたビット幅でデータを読み込むデータ処理手段と、

データ処理手段にて読み込まれたデータを並列に符号化処理を行う符号化手段と、

前記符号化処理の行われたデータを変調方式、符号化率可変に対応して送信する送信手段と、

を含んで構成されたことを特徴とするマルチレート送信装置。

【請求項 2】

前記データ処理手段が、

変調方式に応じて可変する m ビット列の送信データを格納する送信用メモリと、

前記 m ビット列のデータを符号化処理を行うための n ビット列固定のデータに組み立てを行う手段と、

前記 n ビット列のデータを一時格納するメモリと、

を含んで構成されることを特徴とする請求項 1 に記載のマルチレート送信装置。

【請求項 3】

前記並列符号化手段が、

n ビット列のデータを格納するレジスタ群と、

前記レジスタ群から n ビット列のデータを取り込み、n ビット列固定単位で畳み込み処理を行う複数の畳込み符号化回路と、

前記複数の畳込み符号化回路から出力される符号化結果をパンクチャ処理し、符号化データを出力するパンクチャ回路と、

前記パンクチャ回路から出力される符号化データに対応したビットを判定する

データ判定回路と、

を含んで構成されたことを特徴とする請求項 1 又は 2 に記載のマルチレート送信装置。

【請求項 4】

前記送信手段が、

送信タイミングを決定する送信制御回路と、

符号化データを変調データに割り当てる変調データ割当回路と、

送信制御回路からのクロックタイミングで前記変調データを送信する送信回路と、

を含んで構成されたことを特徴とする請求項 1、2 又は 3 に記載のマルチレート送信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

位相変調方式、符号化率を可変させても送信処理速度を変化させず、マルチレートに対応したマルチレート送信装置に関する。

【0002】

【従来の技術】

位相変調方式には 2 相式位相変調（位相反転変調）方式、多相位相変調方式、直交振幅変調方式がある。図 8 に各変調方式の実軸と虚軸であらわす座標上での符号とデータとの関係を示す。

【0003】

図 8 において、800 は 2 相式変調方式である BPSK の例、801 は多相位相変調方式である QPSK の例、802 は直交振幅変調方式である 16QAM の例である。

【0004】

BPSK ではデータとして "0" と "1" で座標に表わされ、座標上の点に対応した符号を搬送波により送信する。多相位相変調方式である QPSK ではダイビットと呼ばれる 2 ビットで座標上に表わされ、対応した符号を送

信する。また、図 8 に示す直交振幅変調方式の 16QAM では、データは 4 ビットで表わされる。

【0005】

位相変調方式を可変させるには変調方式に対応するビット数ずつをデータとしてまとめ、送信する必要がある。

【0006】

また従来、変調方式や符号化率を可変させる方法として、特開平 10-163883 号公報に示されるような方法がある。

【0007】

この方法の動作を図 9 のブロック図を用いて説明する。図 9 において、11 は入力信号生成装置、12 は並列直列変換器、13 は畳込み符号化器、14 はパンクチャー回路、15 はクロック発生回路、16 はクロック間引き回路、17 は 1/2 分周器、18 は 1/8 分周器である。

【0008】

入力信号生成装置 11 の出力する並列データ DATAB を並列直列変換器 12 に与え、並列データ DATA に変換する。

【0009】

クロック間引き回路 16 は、符号化率  $(m-n)/m$  に基づいてクロック発生回路 15 の出力する  $m$  個クロック CLK のうち  $n$  個を間引き、データ読出クロック CLK を生成する。

【0010】

畳込み符号化器 13 は 2 種類の畳込み演算を行い、クロック CLK により誤り訂正符号を付加した符号化データ CDATA1, 2 を出力する。

【0011】

パンクチャー回路 14 は、並列の符号化データから符号化率により所定位置のデータを削除し、シンボルクロック CLKS に同期して送信シンボルデータを出力する。

【0012】

【発明が解決しようとする課題】

しかしながら従来の方式で変調方式や符号化率を可変させる場合、データ転送レートがあがればそれに応じた回路内の基準クロックの高速化や複数クロックの使用をするケースが多い。従来例に挙げた特開平 10-163883 号公報に示される方法では、基準クロックを間引きして送信クロックを生成しているが、この方法ではデータ転送レートをあげる場合に基準クロックを高速化していかなければならない。

## 【0013】

このように変調方式、符号化率を可変させてデータ転送レートをあげる場合でも送信クロック、内部動作クロックを可変させる必要がなく、常に単一クロックによる回路動作および送信動作できることが課題となる。

## 【0014】

## 【課題を解決するための手段】

位相変調方式を用いたモデムの場合、変調方式や畳み込み符号化とパンクチャ処理により符号化率を変化させる方法で実際のデータ転送レートを変える。また、送信時のサンプリングクロックは変調方式や符号化率によらず装置や特性により決定される。

## 【0015】

本発明では、変調方式と符号化率を任意に可変しても回路内は単一クロックで動作でき、入力したクロックを送信クロックとして変調方式と符号化率に応じたデータ転送レートで送信できる。

## 【0016】

本発明のポイントは、変調方式に応じたビット数の単位でデータを処理し、畳み込み符号化とパンクチャ処理を固定列で並列化処理することで処理の高速化を図る。

## 【0017】

また、変調方式、符号化率による内部処理時間差をタイミング制御回路で動作を統括することで吸収し、単一クロックによる回路内処理動作および送信動作を可能とした。

## 【0018】

## 【発明の実施の形態】

本発明のマルチレート送信装置の実施の形態を図1に示すブロック図を用いて説明する。図1において、100は外部クロック入力端子、101-(1)～101-(m)はデータ入力端子、102は変調動作モード入力端子、103はデータ処理器、104は符号化器、105は送信器、106はデータ出力端子である。

## 【0019】

マルチレート送信装置は外部からデータ入力端子101-(1)～101-(m)により入力されるデータを、同じく外部から外部クロック入力端子100により入力されるクロックタイミングと変調動作モード入力端子102により入力される動作モードを使用して、データ出力端子106から送信データとして出力する。

## 【0020】

本発明におけるデータ処理器103は、変調方式に応じたビット幅でデータを読み込み、符号化器で並列に符号化処理するためのn列固定のビット幅にデータを並び替える。さらに、変調方式に応じてデータ処理器103内部で一定時間（クロックに応じた時間）だけデータを遅延させているので、変調方式の可変による時間を吸収することができる。

## 【0021】

そのため、データ処理器103では、外部クロック入力端子100から入力されたクロックタイミングと変調動作モード入力端子102から入力された変調方式を示す動作モードをもとに、データ入力端子101-(1)～101-(m)からデータを取り込んでいく。

## 【0022】

ここでmは変調動作モード入力端子102に入力される動作モードに依存して可変する。例えば、変調動作モード入力端子102に動作モードとして'0'が入力された場合はBPSK、'1'が入力された場合は16QAMとする。

## 【0023】

BPSKでは座標軸上に'0'または'1'の1ビットで表わされるためm＝



1となる。また、16QAMでは座標軸上に'0000'～'1111'までの4ビットで表わされるため $m=4$ となる。

## 【0024】

次にデータ処理器103は取り込んだデータを符号化器104で並列に処理できる $n$ 列固定のデータに組み立て、データ出力線117-(1)～117-( $n$ )に出力する。

## 【0025】

この時データ処理器103は、符号化動作クロック線114で外部クロック入力端子から得たクロックタイミング、符号化動作モード線115で変調動作モード入力端子から得た動作モード、符号化制御線116で符号化開始通知をクロックタイミングに合わせて符号化器104へ出力する。

## 【0026】

本発明における符号化器は、遅いクロックでも、最大の転送レートまで符号化処理を行えるようにするために、データ処理器103で並び替えられた $n$ 列固定のデータを並列に符号化を行う。符号化は、動作モードに応じた符号化率で行い、該動作モードに応じた $q$ 列のデータを出力する。

## 【0027】

具体的には、符号化器104は、データ処理器103から送られてくるクロックタイミング、動作モード、符号化開始通知により $n$ 列固定の並列符号化処理および並列バンクチャ処理を行う。

## 【0028】

符号化器104は、各処理により $q$ 列となる処理結果を符号化データ出力線119-(1)～119-( $q$ )に符号化データを出力し、出力した符号化データが有効である場合は符号化データ出力線119-(1)～119-( $q$ )に対応したデータ判定制御線118-(1)～118-( $q$ )にデータ有効通知を出力する。

## 【0029】

送信器105では、データ処理器103から符号化器104の処理時間を考慮して送られてくる送信制御クロック線110によるクロックタイミング、送信動

作モード線 1 1 1 による動作モード、送信制御線 1 1 2 による送信開始通知を受ける。

【0 0 3 0】

このとき送信器 1 0 5 は符号化器 1 0 4 が出力している符号化データをデータ有効通知とあわせ判断して取り込む。次に送信器 1 0 5 は、データ処理器 1 0 3 から送信出力線 1 1 3 により送信開始通知を受けると、取り込んだ符号化データを動作モードにあわせた変調データに割り当てて送信データ出力線 1 0 6 に出力する。

【0 0 3 1】

次に前述した動作を図 2 のタイミングチャートを用いて説明する。

【0 0 3 2】

図 2 (a) CLK は外部クロック入力端子 1 0 0 に入力されるクロックタイミング、図 2 (b) MODE は変調動作モード入力端子 1 0 2 に入力される動作モード、図 2 (c) INPUT\_DATA はデータ入力端子 1 0 1 - (1) ~ 1 0 1 - (m) に入力される送信データである。

【0 0 3 3】

データ処理器 1 0 3 は図 2 (a) CLK のクロックタイミングで図 2 (b) MODE に従い、図 2 (c) INPUT\_DATA を取り込んでいく。

【0 0 3 4】

図 2 A はデータ処理器 1 0 3 でのデータ取り込み時間  $T_{a1}$  および  $n$  列への組み立て処理時間  $T_{a2}$  を示し、送信のための処理を行うまでに必要なデータ数を確保するための期間である。

【0 0 3 5】

データ取り込み時間  $T_{a1}$  と  $n$  列への組み立て処理時間  $T_{a2}$  は図 2 (c) INPUT\_DATA で取り扱うビット数  $m$  に依存し、ビット数が増えれば比例して短くなる。つまり  $A = (T_{a1} + T_{a2}) / m$  となる。

【0 0 3 6】

また  $m$  は図 2 (b) MODE により決まる。図 2 A の期間、図 2 (C) INPUT\_DATA を取り込んだデータ処理器 1 0 3 は符号化器 1 0 4 に、符号化動

作クロック線 114 で図 2 (e) CLK\_A のクロックタイミング、符号化制御線 116 で図 2 (d) ENB\_A の動作タイミング、データ出力線 117-(1) ~ 117-(n) で図 2 (f) DATA\_A の n 列に組み立てたデータを与える。

【0037】

符号化器 104 では、データ出力線 117-(1) ~ 117-(n) で与えられた図 2 (f) DATA\_A の n 列に組み立てたデータを図 2 (e) CLK\_A のクロックタイミングで符号化処理およびパンクチャ処理を行う。

【0038】

図 2 B は符号化器 104 での符号化処理時間  $T_{b1}$  とパンクチャ処理時間  $T_{b2}$  を示す。符号化器 104 では常に n 列固定の並列符号化処理および並列パンクチャ処理を行うため、図 2 B の期間は、BPSK, 16QAM の動作モードによらず一定となる。

【0039】

また図 2 (e) CLK\_A で与えられるクロックタイミングはデータ処理器 103 に外部クロック入力端子 100 から入力されるクロックタイミングと同じであるため、データ処理器 103 は符号化器 104 でかかる図 2 B の期間がわかる。

【0040】

データ処理器 103 は図 2 B の期間だけ待つと、送信器 105 に、送信制御クロック線 110 で図 2 (h) CLK\_B のクロックタイミング、送信制御線 112 で図 2 (g) ENB\_B の動作タイミングを与える。

【0041】

送信器 105 は、符号化器 104 の符号化データ出力線 119-(1) ~ 119-(q) から出力される図 2 (i) DATA\_B の符号化データをデータ判定制御線 118-(1) ~ 118-(q) のデータ有効通知を見ながら取り込んでいく。

【0042】

図 2 C は符号化データ取り込み時間  $T_c$  を示し、送信を開始するために必要な

データ数を確保するための期間である。符号化データ取り込み時間  $T_c$  は図 2 (b) MODE により決まるビット数  $m$  に依存し、ビット数が増えれば比例して長くなる。つまり  $C = m \cdot T_c$  となる。

## 【0043】

図 2 (h) CLK\_B で与えられるクロックタイミングはデータ処理器 103 に外部クロック入力端子 100 から入力されるクロックタイミングと同じであり、かつ符号化器 104 から出力される符号化データ出力線 119-(1) ~ 119-(q) のデータ有効幅を示す  $q$  は動作モードにより固定となるため、データ処理器 103 は送信器 105 で必要な図 2 C の期間がわかる。

## 【0044】

データ処理器 103 は図 2 C の期間だけ待つと、送信器 104 へ送信出力線 113 により図 2 (j) ENB\_C の送信出力通知を与える。

## 【0045】

送信出力通知を与えられた送信器 104 は図 2 (k) DATA\_C の送信データをデータ出力端子 106 へ出力する。

## 【0046】

ゆえに、図 2 A と図 2 C でデータ数を確保する期間を制御することで外部クロック入力端子 100 から入力される図 2 (a) CLK のクロックタイミングのみで送信データを出力できる。

## 【0047】

データ処理器 103 は、例えば、図 3 のように構成することができる。図 3 において、200 はクロック分配回路、201 はタイミング制御回路、202 はメモリ制御回路、203 は送信用メモリ、204 はラッチ回路、205 はシフトレジスタ、206 は FIFO である。

## 【0048】

外部クロック入力端子 100 からクロックタイミングをクロック分配回路 200 に入力すると、クロック分配回路 200 はタイミング制御回路 201 とメモリ制御回路 202 に制御動作クロック線 211 でクロックタイミングを与える。

## 【0049】

タイミング制御回路 201 は与えられたクロックタイミングにより変調動作モード入力端子 102 から入力される動作モードを受け取る。

【0050】

動作モードを受け取ったタイミング制御回路 201 は、メモリ制御回路 202 へメモリ動作指示線 214 により送信用メモリ 203 で格納するデータ数を通知する。

【0051】

格納するデータ数は動作モード別で設定される。例えば、動作モードが BPSK の場合ではデータ入力端子 101 - (1) ~ 101 - (m) で入力されるビット数は  $m=1$  であり、16QAM の場合のビット数は  $m=4$  となる。

【0052】

メモリ制御回路 202 は、メモリ制御線 215 により送信用メモリにデータ入力端子 101 - (1) ~ 101 - (m) から入力されるデータを通知されたデータ数まで格納させ、通知されたデータ数となると送信データ出力線 216 - (1) ~ 216 - (m) からデータを順次出力していく。

【0053】

ラッチ回路 204 は、タイミング制御回路 201 からラッチ制御線 213 により与えられるラッチタイミングを受けて送信データ出力線 216 - (1) ~ 216 - (m) 上に出力されている有効であるデータを一時的にラッチする。ラッチ回路 204 では、ラッチデータ出力線 219 - (1) ~ 219 - (m) にラッチしたデータを次のラッチタイミングを受けるまで出力する。

【0054】

シフトレジスタ 205 ではタイミング制御回路 201 からシフト制御線 218 により与えられるシフトタイミングを受けて送信データ出力線 219 - (1) ~ 219 - (m) に出力されているデータを取り込む。

【0055】

なお、ラッチ回路を省略して、シフトレジスタ 205 はタイミング制御回路 201 からシフト制御線 218 により与えられるシフトタイミングを受けて送信データ出力線 216 - (1) ~ 216 - (m) に出力されているデータを直接取り

込むように構成することもできる。

【0056】

タイミング制御回路201は、シフトレジスタ205にnビット列のデータを格納すると、FIFO206へFIFO書き込み制御線217によりFIFO書き込みタイミングを与える。

【0057】

FIFO206は、変調方式に応じた時間だけデータを遅延させることにより、変調方式の可変による時間を吸収する。

【0058】

具体的には、FIFO206は、FIFO書き込みタイミングを受けてシフトレジスタデータ出力線220-(1)~220-(n)に出力されているデータを取り込む。

【0059】

タイミング制御回路201は、分配クロック制御線212でクロック分配回路200に外部クロック入力端子100から入力されているクロックタイミングを符号化動作クロック線114に出力させる。

【0060】

次にタイミング制御回路201は符号化動作モード線115に動作モード、符号化制御線116に動作タイミングを出力し、FIFOデータ出力制御線221によりFIFO206からデータ出力線117-(1)~117-(n)にデータを出力させる。

【0061】

符号化器104での処理時間待ちを行うとタイミング制御回路201は、分配クロック制御線212でクロック分配回路200に外部クロック入力端子100から入力されているクロックタイミングを送信制御クロック線110に出力させ、送信動作モード線111で動作モード、送信制御線112で動作タイミングを出力する。

【0062】

また、送信器105に格納された符号化データが送信できるデータ数になると

、タイミング制御回路 201 は送信出力線 113 に送信開始を通知する。

【0063】

参考までに送信用メモリ 203 に格納されるデータの定義は、例えば、図 4 や図 5 のように説明することができる。図 4 は変調方式が BPSK の場合である。

【0064】

図 4 において、301-(1) ~ 301-(N) は送信ビット、302-(1) ~ 302-(M) は送信データである。

【0065】

送信データ 302-(1) ~ 302-(M) は送信用メモリ 203 にデータ入力端子 101-(1) ~ 101-(m) により書き込まれ、送信データ出力線 216-(1) ~ 216-(m) をシフトレジスタ 205 へ入力される。

【0066】

送信ビット 302-(1) ~ 302-(N) と送信データ 301-(1) ~ 301-(M) との関係は、302-(1) = 301-(1), 302-(2) = 301-(2), ..., 302-(M) = 301-(N) となり、M=N である。

【0067】

また、図 5 は変調方式が 16QAM の場合である。送信ビット 302-(1) ~ 302-(N) と送信データ 301-(1) ~ 301-(M) との関係は、302-(1) = [301-(1), 301-(2), 301-(3), 301-(4)], 302-(2) = [301-(5), 301-(6), 301-(7), 301-(8)], ..., 302-(M) = [301-(N-3), 301-(N-2), 301-(N-1), 301-(N)] となり、M=N/4 である。

【0068】

符号化器 104 は、例えば図 6 のように構成することができる。図において、500 は符号化制御回路、501 は n 列レジスタ群 a、502 は n 列レジスタ群 b、503-(1) ~ 503-(p) は畳込み符号化回路、504 はパンクチャ回路、505 はデータ判定回路である。

【0069】

符号化制御回路 500 は符号化動作クロック線 114 によりクロックタイミング、符号化動作モード線 115 により動作モード、符号化制御線 116 により動作タイミングを受ける。

## 【0070】

$n$  列レジスタ群  $a$  内のレジスタ 501-(1) ~ 501-( $n$ ) および  $n$  列レジスタ群  $b$  内のレジスタ 502-(1) ~ 502-( $n$ ) は、ともにレジスタに格納されている初期値は 0 である。

## 【0071】

クロックタイミングと動作タイミングを受けた符号化制御回路 500 は、データ出力線 117-(1) ~ 117-( $n$ ) に出力されているデータをレジスタ制御線 511 により  $n$  列レジスタ群  $a$  内のレジスタ 501-(1) ~ 501-( $n$ ) へ格納し、レジスタ  $a$  データ出力線 515-(1) ~ 515-( $n$ ) およびレジスタ  $b$  データ出力線 516-(1) ~ 516-( $n$ ) に格納したデータを出力する。

## 【0072】

畳込み符号化回路 503-(1) ~ 503-( $p$ ) は符号化制御回路 500 から畳込み制御線 512 により動作タイミングを受け、レジスタ  $a$  データ出力線 515-(1) ~ 515-( $n$ ) およびレジスタ  $b$  データ出力線 516-(1) ~ 516-( $n$ ) 上のデータから畳込み符号化処理を行う。畳込み符号化結果は、畳込み符号化出力線 517-(1) ~ 517-( $p$ ) に出力される。

## 【0073】

ここで  $n$  と  $p$  との関係は、符号化率  $r$  と一致する。符号化率  $r$  は、例えば畳込み符号化処理により誤り訂正付加情報を生成して入力される送信データを送信する場合、送信シンボル  $X$  に含まれる誤り訂正付加情報の数が  $X-Y$  であることを意味し、 $r = X/Y$  で表わされる。すなわち符号化率  $r = 1/2$  の場合、1 ビットの送信データから 2 ビットの符号化データが生成される。

## 【0074】

畳込み符号化回路では符号化率  $r = 1/2$  しか行わず、ゆえに  $n = 2p$  となる。



【0075】

また、パンクチャ回路 504 は、符号化制御回路 500 からパンクチャ制御線 513 によりパンクチャ処理動作モードを与えられ、畳込み符号化回路 503 - (1) ~ 503 - (p) の畳込み符号化出力線 517 - (1) ~ 517 - (p) に出力される符号化率  $r = 1/2$  のデータを取り込みパンクチャ処理を行う。

【0076】

パンクチャ処理結果は、符号化データ出力線 119 - (1) ~ 119 - (q) に出力される。

【0077】

また、データ判定回路 505 は、符号化制御回路 500 から判定制御線 514 によりパンクチャ処理動作モードを受け、有効となる符号化データ出力線 119 - (1) ~ 119 - (q) に対応したデータ判定通知線 118 - (1) ~ 118 - (q) にデータの有効・無効を出力する。

【0078】

ここでパンクチャ処理について説明する。パンクチャ処理は符号化率  $r$  を可変する場合に用いる。

【0079】

例えば 3 ビットの送信データを符号化率  $r = 1/2$  で符号化処理を行うと 6 ビットの符号化データが生成される。すなわち符号化率  $r = 3/6$  と表記できる。パンクチャ処理では生成された 6 ビットの符号化データから任意の 2 ビットを削除することで、符号化率  $r = 3/4$  に可変させる動作を行う。

【0080】

このことから  $p$  と  $q$  の関係は、符号化率  $r = 1/2$  の場合は  $q = p$ 、符号化率  $r = 3/4$  の場合は  $q = 3p/4$  となる。

【0081】

また、符号化制御回路 500 は、クロックタイミングで  $n$  列レジスタ群  $a$  内の各レジスタ 501 - (1) ~ 501 - ( $n$ ) に格納しているデータを  $n$  列レジスタ群  $b$  内の各レジスタ 502 - (1) ~ 502 - ( $n$ ) ヘシフトし、次のクロックタイミングでデータ出力線 117 - (1) ~ 117 - ( $n$ ) に出力されている

データをレジスタ制御線 511 により  $n$  列レジスタ群  $a$  内のレジスタ 501-(1) ~ 501-( $n$ ) へ格納し、符号化処理を動作タイミングとクロックタイミングがなくなるまで繰り返し行っていく。

【0082】

送信器 105 は、例えば図 7 のように構成することができる。図 7 において、700 は送信制御回路、701 はデータ判定検出回路、702 は変調用メモリ、703 は変調データ割当回路、704 は送信回路、705 は ROM である。

【0083】

送信制御回路 700 は、送信制御クロック線 110 によりクロックタイミング、送信動作モード線 111 により動作モード、送信制御線 112 により動作タイミングを受ける。

【0084】

送信制御回路 700 は送信動作クロック線 711 により送信器 105 内の各回路へクロックタイミングを出力する。

【0085】

データ判定検出回路 701 ではデータ判定通知線 118-(1) ~ 118-( $q$ ) で有効となっている符号化データ出力線 119-(1) ~ 119-( $q$ ) に出力されているデータを書き込み制御線 712 により与えられた書き込みタイミングで変調用メモリ 702 へ書き込む。

【0086】

次に送信制御回路 700 は送信出力線 113 から動作タイミングを受けると、変調データ割当回路 703 に変調動作制御線 714 により動作モードを与え、符号化データ読み出し線 715-(1) ~ 715-( $m$ ) から変調する符号化データを順次読み出す。

【0087】

ここで読み出される符号化データのビット幅は動作モードで決まり、BPSK の場合では読み出されるビット数は  $m=1$ 、16QAM の場合に読み出されるビット数は  $m=4$  となる。

【0088】

変調データ割当回路 7 0 3 では読み出した符号化データに対応した変調データを ROM 7 0 5 の変調データ読み出し線 7 1 7 から読み出し、変調データ出力線 7 1 6 へ出力する。

【 0 0 8 9 】

送信回路 7 0 4 では、送信制御回路 7 0 0 から送信動作線 7 1 3 により動作タイミングを受けると、送信動作クロック線 7 1 1 により与えられたクロックタイミングで変調データ割当回路 7 0 3 からメモリデータ出力線 7 1 6 に出力される変調データをデータ出力端子 1 0 6 に送信する。

【 0 0 9 0 】

【発明の効果】

本発明により、変調方式、符号化率を可変してデータ転送レートをあげる場合でも、送信クロック、内部動作クロックを可変させる必要がなく、常に単一クロックによる回路動作および送信動作が可能となる。

【図面の簡単な説明】

【図 1】

本願のマルチレート送信装置の実施の形態を示すブロック図である。

【図 2】

本願のマルチレート送信装置の実施の形態でのタイミングチャートである。

【図 3】

データ処理器 1 0 3 の実施の形態を示すブロック図である。

【図 4】

変調方式が B P S K の場合でのビットとデータの定義例を示す図である。

【図 5】

変調方式が 1 6 Q A M の場合でのビットとデータの定義例を示す図である。

【図 6】

符号化器 1 0 4 の実施の形態を示すブロック図である。

【図 7】

送信器 1 0 5 の実施の形態を示すブロック図である。

【図 8】

従来から定義されている各変調方式での座標を示す図である。

【図 9】

従来の符号化率可変誤り訂正送信装置のブロック図である。

【符号の説明】

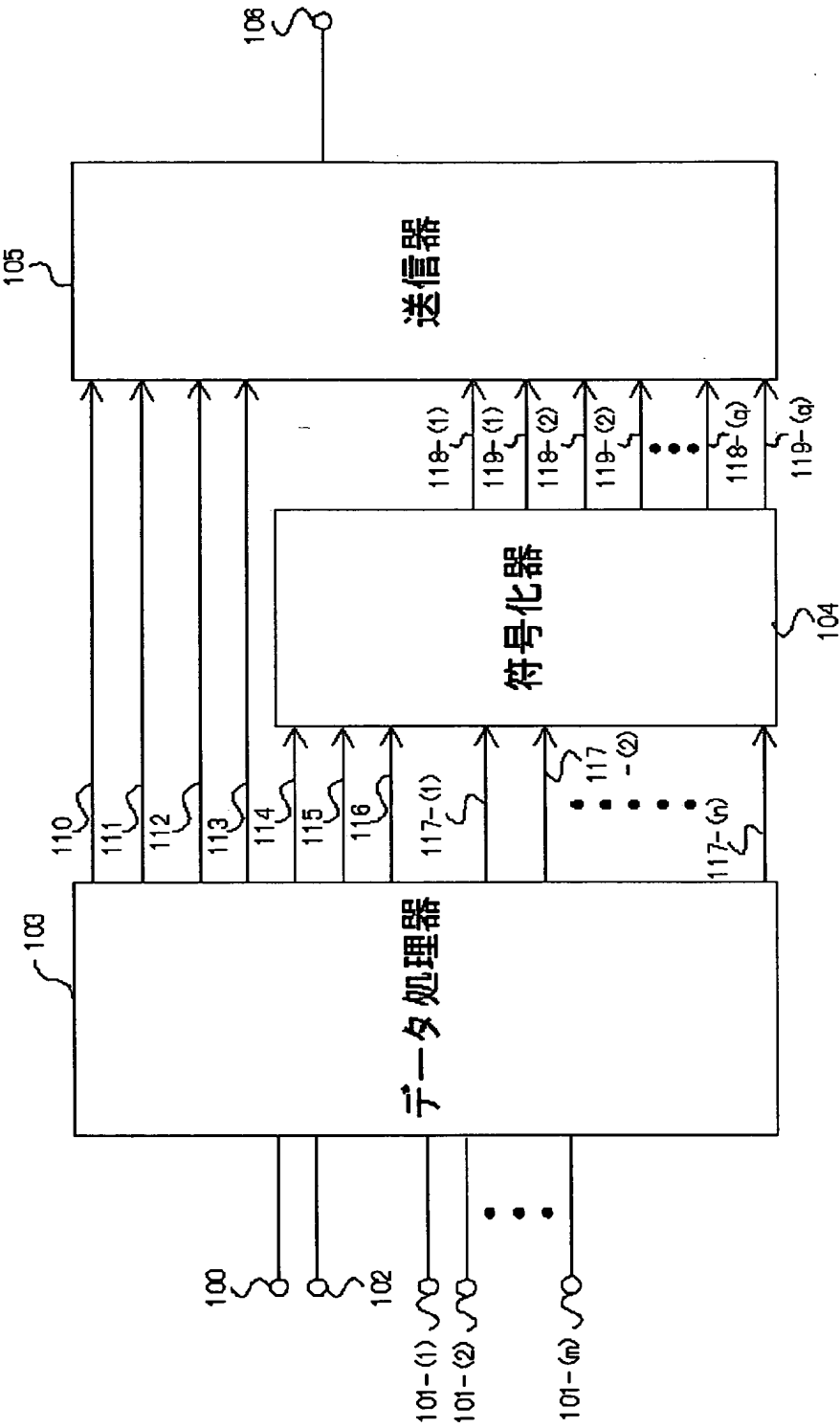
- 1 0 0 外部クロック入力端子
- 1 0 1 - (1) ~ 1 0 1 - (m) データ入力端子
- 1 0 2 変調動作モード入力端子
- 1 0 3 データ処理器
- 1 0 4 符号化器
- 1 0 5 送信器
- 1 0 6 データ出力端子
- 1 1 0 送信制御クロック線
- 1 1 1 送信動作モード線
- 1 1 2 送信制御線
- 1 1 3 送信出力線
- 1 1 4 符号化動作クロック線
- 1 1 5 符号化動作モード線
- 1 1 6 符号化制御線
- 1 1 7 - (1) ~ 1 1 7 - (n) データ出力線
- 1 1 8 - (1) ~ 1 1 8 - (q) データ判定制御線
- 1 1 9 - (1) ~ 1 1 9 - (q) 符号化データ出力線
- 2 0 0 クロック分配回路
- 2 0 1 タイミング制御回路
- 2 0 2 メモリ制御回路
- 2 0 3 送信用メモリ
- 2 0 4 ラッチ回路
- 2 0 5 シフトレジスタ
- 2 0 6 F I F O
- 2 1 1 制御動作クロック線

- 2 1 2 分配クロック制御線
- 2 1 3 ラッチ制御線
- 2 1 4 メモリ動作指示線
- 2 1 5 メモリ制御線
- 2 1 6 - ( 1 ) ~ 2 1 6 - ( m ) 送信データ出力線
- 2 1 7 F I F O書き込み制御線
- 2 1 8 シフト制御線
- 2 1 9 - ( 1 ) ~ 2 1 9 - ( m ) ラッチデータ出力線
- 2 2 0 - ( 1 ) ~ 2 2 0 - ( n ) シフトレジスタデータ出力線
- 2 2 1 F I F Oデータ出力制御線
- 3 0 1 - ( 1 ) ~ 3 0 1 - ( N ) 送信ビット
- 3 0 2 - ( 1 ) ~ 3 0 2 - ( M ) 送信データ
- 5 0 0 符号化制御回路
- 5 0 1, 5 0 1 - ( 1 ) ~ 5 0 1 - ( n ) n列レジスタ群 a
- 5 0 2, 5 0 2 - ( 1 ) ~ 5 0 2 - ( n ) n列レジスタ群 b
- 5 0 3 - ( 1 ) ~ 5 0 3 - ( p ) 畳込み符号化回路
- 5 0 4 パンクチャ回路
- 5 0 5 データ判定回路
- 5 1 1 レジスタ制御線
- 5 1 2 畳込み制御線
- 5 1 3 パンクチャ制御線
- 5 1 4 判定制御線
- 5 1 5 - ( 1 ) ~ 5 1 5 - ( n ) レジスタ a データ出力線
- 5 1 6 - ( 1 ) ~ 5 1 6 - ( n ) レジスタ b データ出力線
- 5 1 7 - ( 1 ) ~ 5 1 7 - ( p ) 畳込み符号化出力線
- 7 0 0 送信制御回路
- 7 0 1 データ判定検出回路
- 7 0 2 変調用メモリ
- 7 0 3 変調データ割当回路

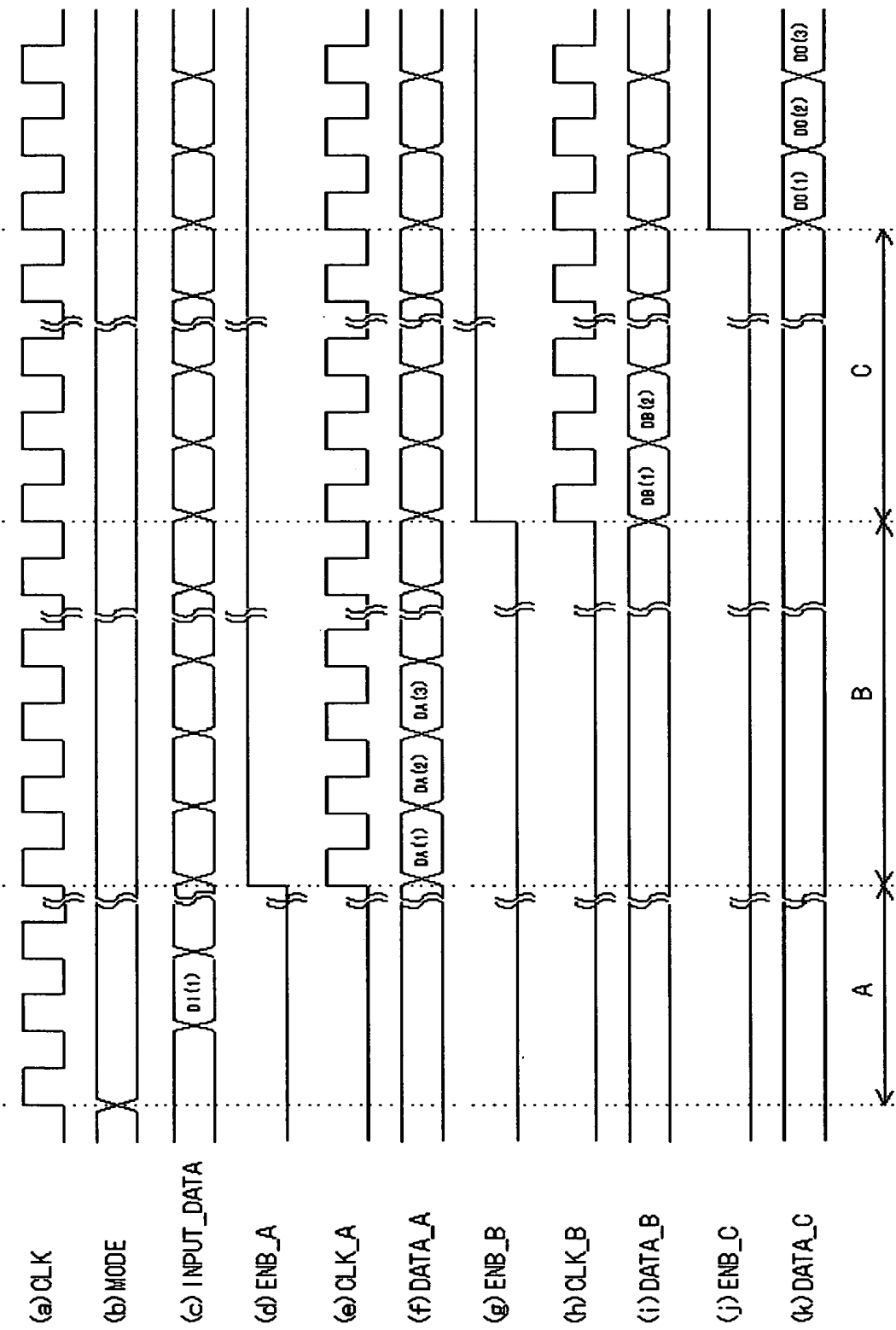
- 704 送信回路
- 705 ROM
- 711 送信動作クロック線
- 712 データ書き込み制御線
- 713 送信動作線
- 714 変調動作制御線
- 715-(1)~715-(m) 符号化データ読み出し線
- 716 メモリデータ出力線
- 717 変調データ読み出し線
- 800 BPSK座標、
- 801 QPSK座標、
- 802 16QAM座標

【書類名】 図面

【図 1】

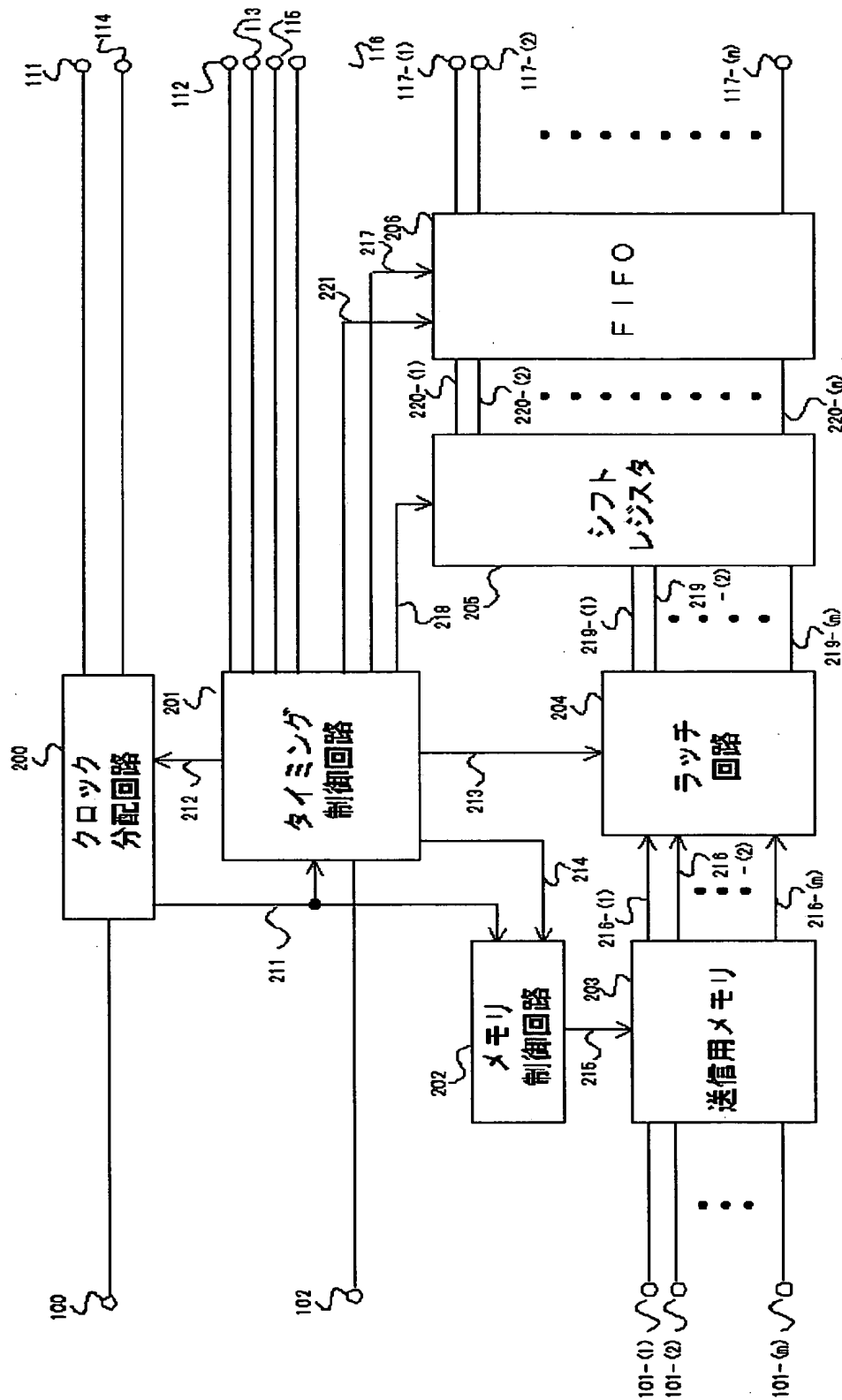


【图 2】

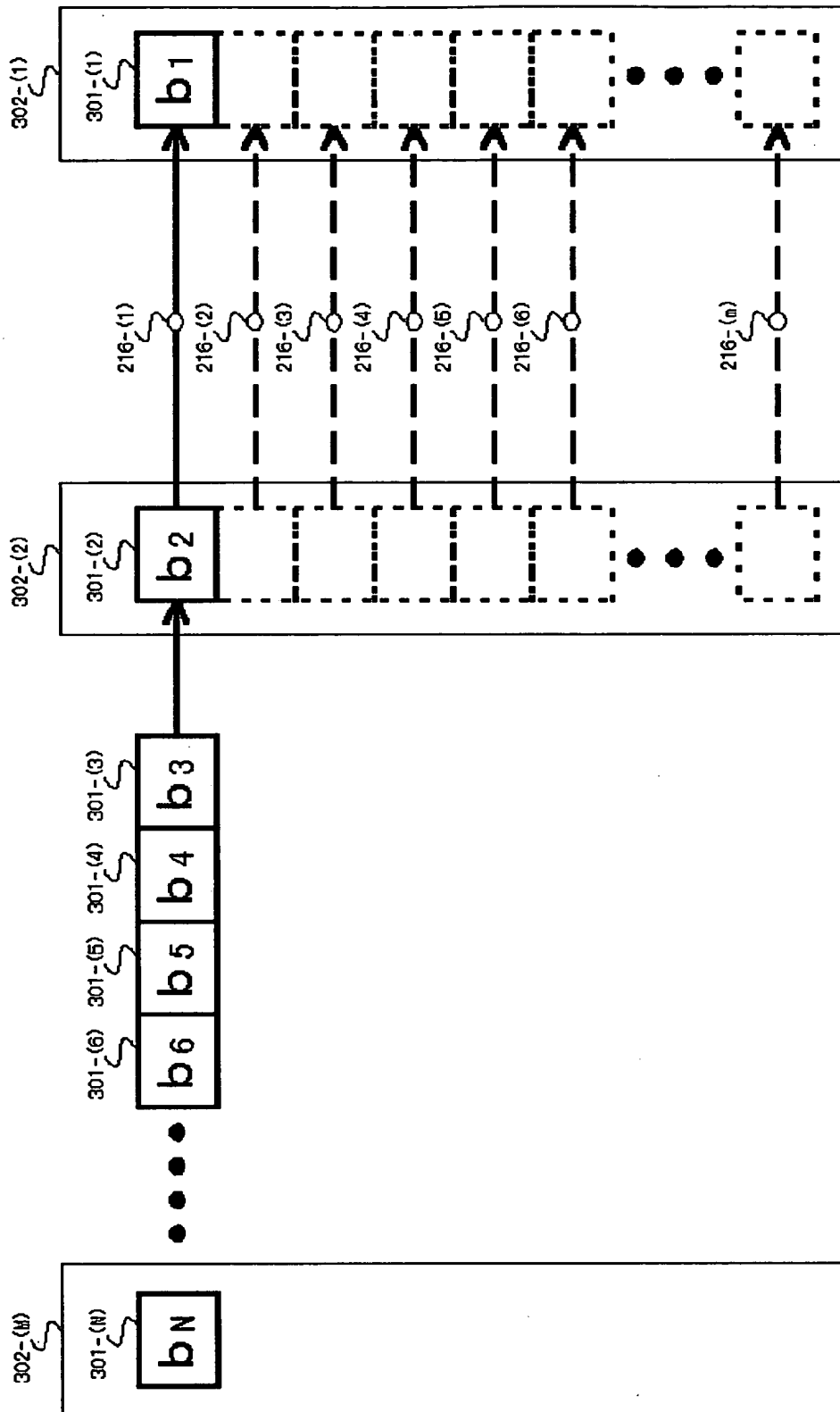




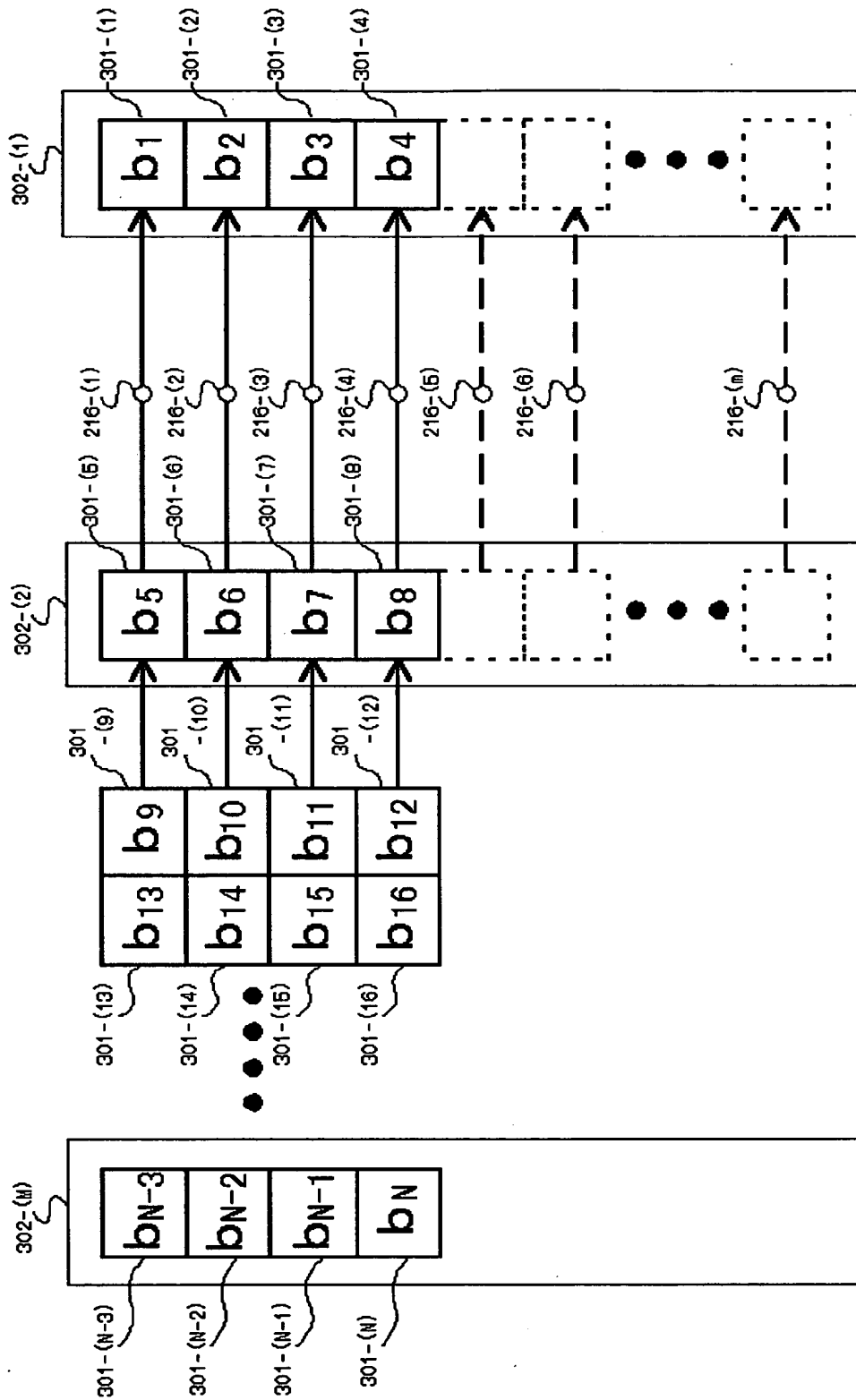
【図 3】



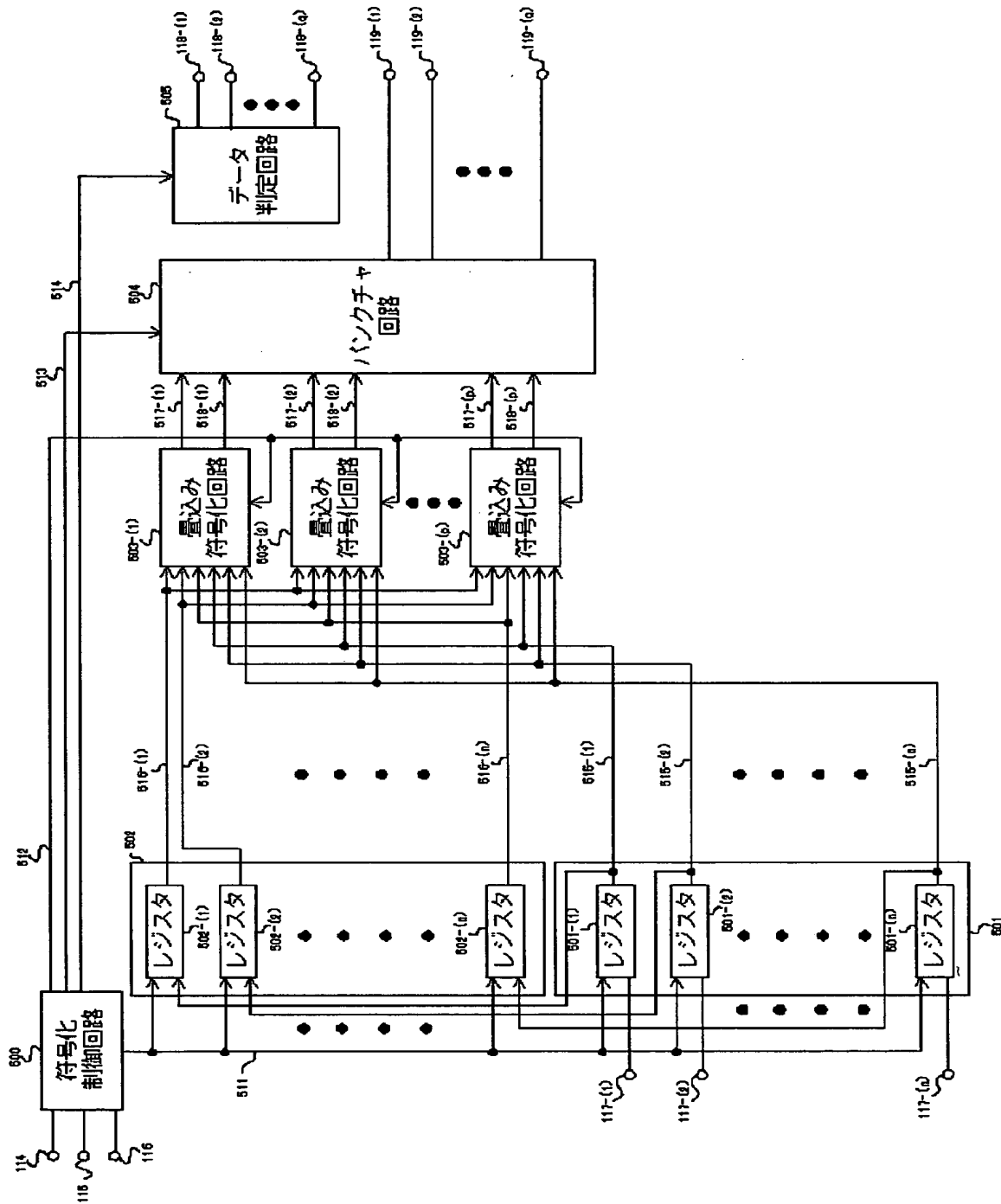
【図 4】



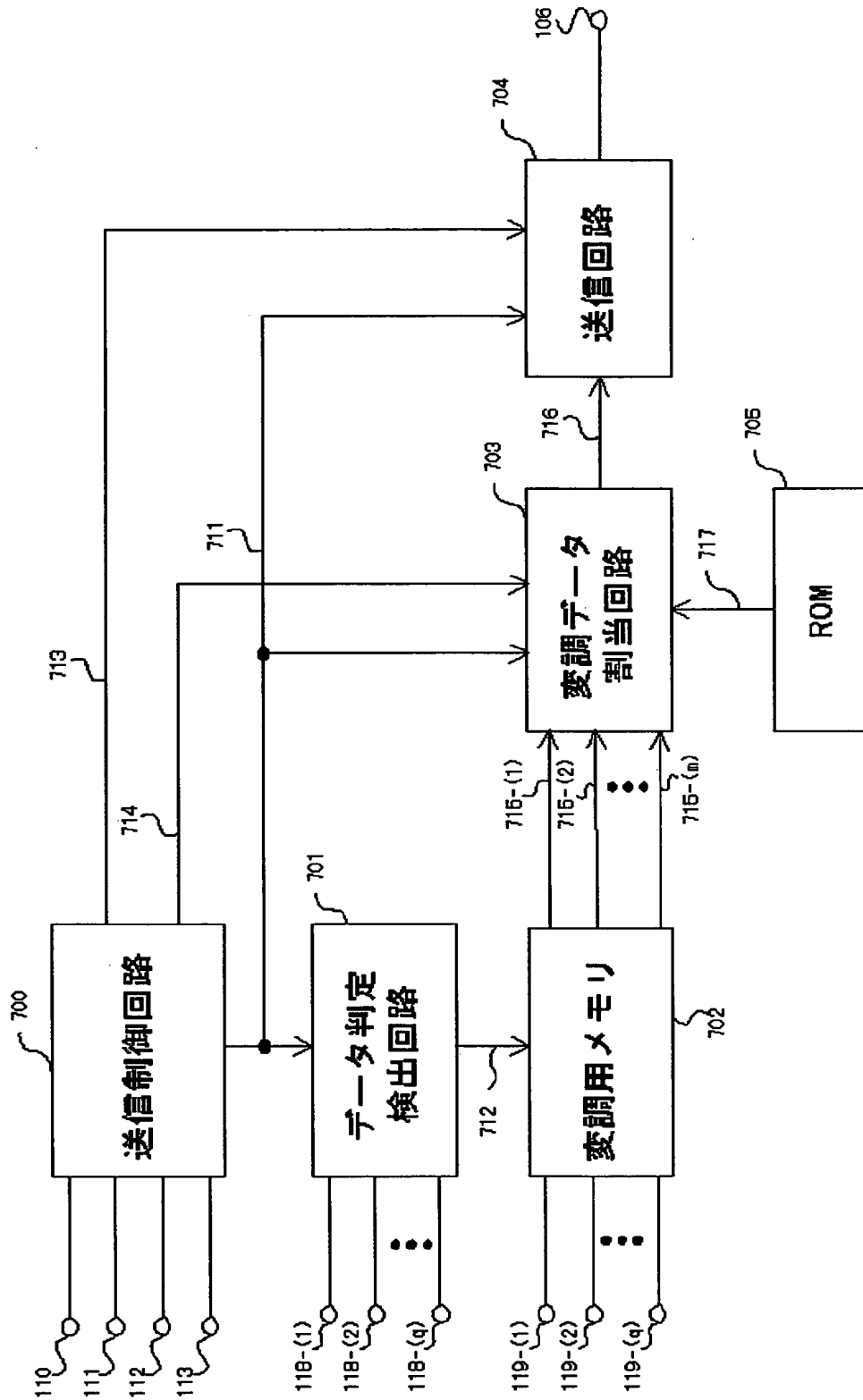
【図 5】



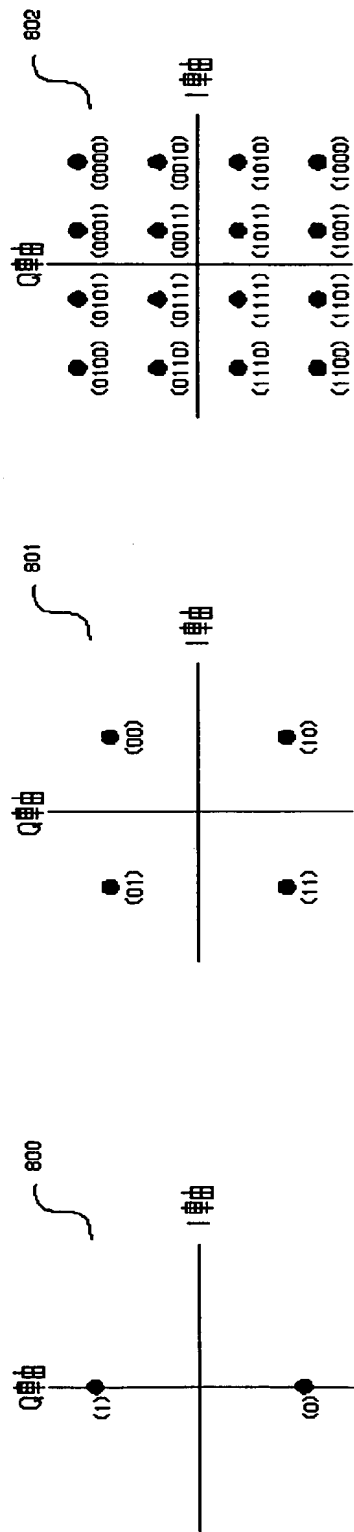
【図 6】



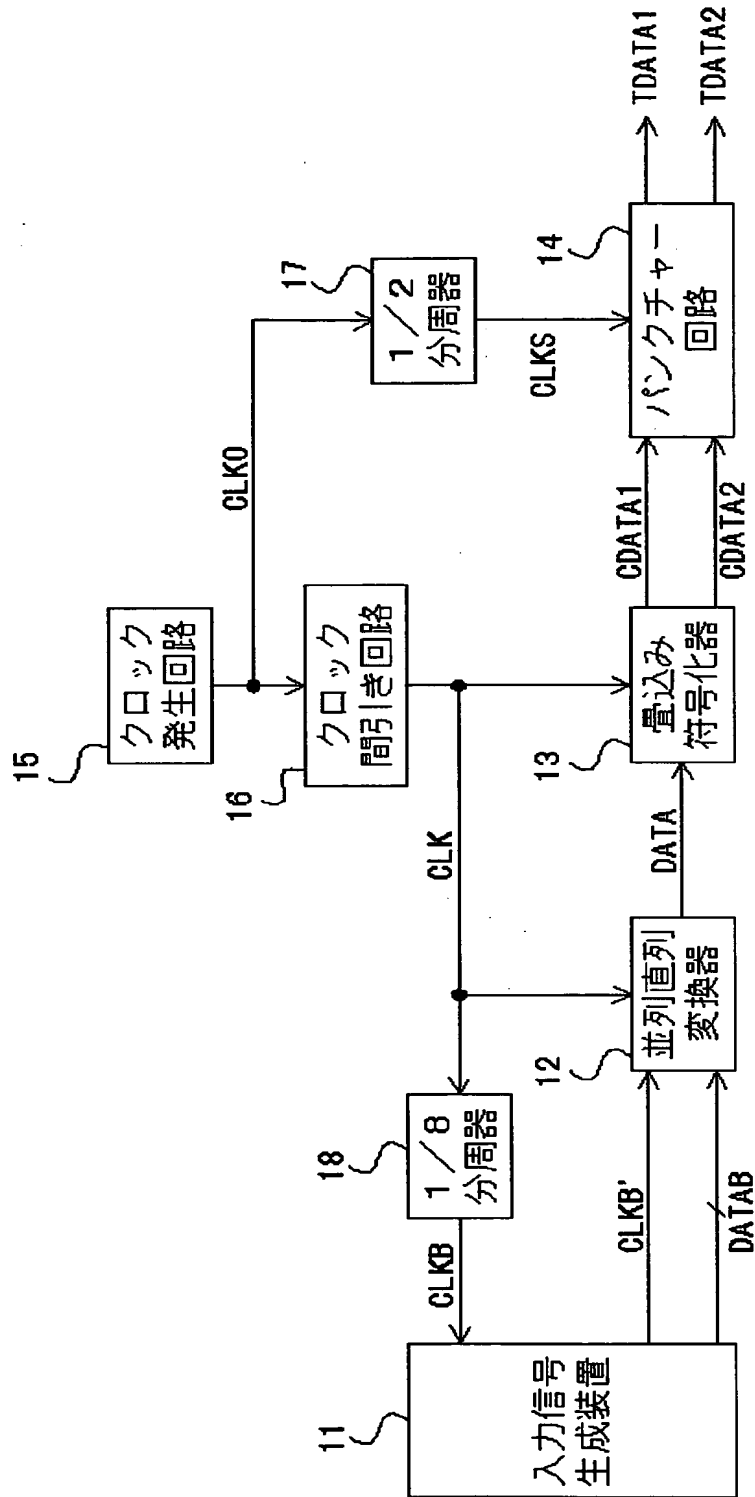
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【課題】 外部からのクロック単一で回路内を動作させ、同じく外部からの変調動作モードの切り替えで変調方式と符号化率を任意に変しても外部からのクロックのみで変調方式と符号化率の変変に応じ、送信データを変調データに割り当て送信する装置を提供する。

【解決手段】 外部から与えられる変調動作モードにより変調方式、符号化率を変させ、外部から入力される単一のクロックで送信動作を可能とするために、変調方式に応じたビット幅でデータを読み込むデータ処理手段 103 と、データ処理手段 103 にて読み込まれたデータを並列に符号化処理を行う符号化器 104 と、符号化処理の行われたデータを変調方式、符号化率可変に対応して送信する送信手段 105 とを備えている。

【選択図】 図 1



認定・付加情報

特許出願の番号	平成11年 特許願 第093099号
受付番号	59900303800
書類名	特許願
担当官	第七担当上席 0096
作成日	平成11年 4月 5日

<認定情報・付加情報>

【提出日】	平成11年 3月31日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社